

(51)Int.Cl. ⁵ H 04 M 11/00 H 02 H 7/20	識別記号 3 0 3	府内整理番号 8627-5K E 7335-5G	F I	技術表示箇所
---	---------------	--------------------------------	-----	--------

審査請求 未請求 請求項の数24(全 9 頁)

(21)出願番号 特願平5-132042

(22)出願日 平成5年(1993)6月2日

(31)優先権主張番号 8 9 5 9 6 9

(32)優先日 1992年6月9日

(33)優先権主張国 米国(US)

(71)出願人 590002448

ロックウェル・インターナショナル・コーポレイション

ROCKWELL INTERNATIONAL CORPORATION

アメリカ合衆国、90740-8250 カリフォルニア州、シール・ビーチ、シールビーチ・ブルーバード、2201

(72)発明者 ラファエル・ラハミン

アメリカ合衆国、92667 カリフォルニア州、オレンジ、ノース・ピスタ・コート、2717

(74)代理人 弁理士 深見 久郎 (外3名)

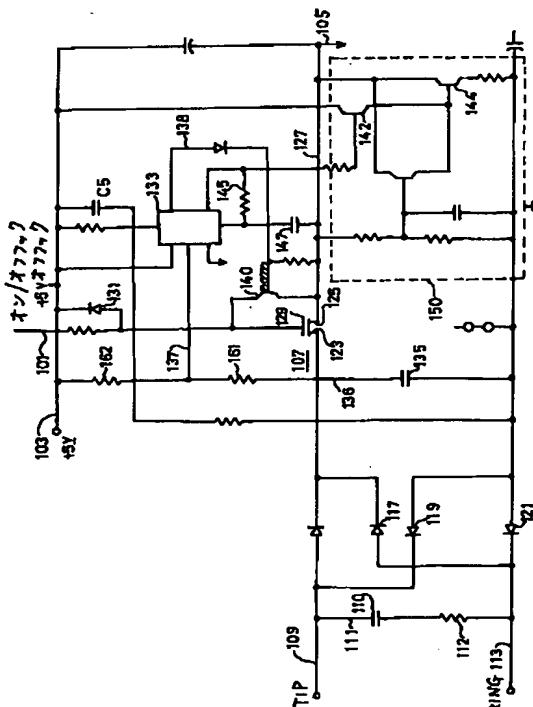
最終頁に続く

(54)【発明の名称】 モデムサージ保護回路およびサージ保護方法

(57)【要約】 (修正有)

【目的】 サージが損害を与える大きさに達する前に電子装置を電話回線から絶縁し、サージの保護／除去をスタンダロン回路として提供する。

【構成】 アクティブサージ除去回路はTIP109およびR1ING113リードのいずれか1本に接続されたFET107を用いてリードを開閉する。JKフリップーフロップが、電圧感知回路に接続され、これは電圧サージを感じ、かつ電圧上昇の初期段階におけるフリップーフロップをクロックする。これにより第1の回路が活性化されてFETゲートを接地し、FET107を開いたままに保つ。一方、RC回路を含む第2の回路が、コンデンサ110を充電する。コンデンサ110はサージより長い期間、すなわち約1m秒の間FET107をオフ状態に維持した後、コンデンサ110が所定の量を放電してからJKフリップーフロップ133をクリアする。



【特許請求の範囲】

【請求項1】 電話回線とモデムとの間の通信のためのTIPおよびRINGリードと、前記リードのうち1本を開閉するために接続されたFETと、オフフックモードのときに前記FETに動作電圧を供給するためのオン／オフフック回路と、接地に対して正である直流電圧のためのモデム電源と、第1の回路および第2の回路と、前記第1の回路を一の状況において活性化しかつ前記第2の回路を他の状況において活性化するためのフリップーフロップ回路と、前記リードにかかる接続され、サージ電圧を感知すると前記フリップーフロップ回路を前記一の状況に活性化するための感知手段とを組合せとして備え、前記第1の回路は、前記第1の回路が活性化されるときに前記FETが電流を導通することを防ぎ、前記第2の回路は、所定の時間の後フリップーフロップ回路をリセットする、モデムサージ保護回路。

【請求項2】 前記第1の回路は、サージに応答して前記FETのゲートを接地にクランプしてゲートに電荷が結集するのを妨げるクランプ手段を含む、請求項1に記載の回路。

【請求項3】 前記フリップーフロップに接続され、フリップーフロップがクロックされるときに飽和する第1のトランジスタと、第1のトランジスタに接続され、導通する第1のトランジスタによって迅速にオンする第2のトランジスタと、RINGリードから接地へ前記第1および第2のトランジスタによって閉じられ、FETキャパシタンスを含む浮遊キャパシタンスを放電するための短絡経路とをさらに備える、請求項2に記載の回路。

【請求項4】 TIPとRINGとの間に接続され、FETのドレンへの正の電圧を保証するための整流器ブリッジ回路をさらに備える、請求項3に記載の回路。

【請求項5】 TIPとRINGとにかけて接続され、RING信号に対するダミー負荷として働く抵抗器－コンデンサ直列回路をさらに備える、請求項4に記載の回路。

【請求項6】 前記第1のおよび第2のトランジスタと並列抵抗器－コンデンサ回路とを含む前記モデムのための電子インダクタをさらに備える、請求項5に記載の回路。

【請求項7】 前記感知手段はコンデンサと2つの抵抗器とからなる直列回路を含み、両方の抵抗器に共通の点が前記JKフリップーフロップのクロック入力に接続されており、前記抵抗器の相対的値がフリップーフロップを活性化させるサージ上の点を決定する、請求項1に記載の回路。

【請求項8】 前記第1の回路は、フリップーフロップ

のQバー出力に接続されかつ前記FETのソース－ゲートにかかるように接続されてフリップーフロップがクロックされているときにゲートを接地するためのクランプトランジスタを含む、請求項1に記載の回路。

【請求項9】 前記第2の回路は、フリップーフロップ出力Qバーに接続されてコンデンサを充電しかつフリップーフロップのCLEARに接続されてサージが消えてしまうまでの間FETゲートの接地を維持するためにフリップーフロップがクロックされているときに放電する10 抵抗器－コンデンサネットワークを含む、請求項1に記載の回路。

【請求項10】 従来の絶縁変圧器を含まないモデムであって、組合せにおいて、電話回線システムと通信するトランスなしのデータアクセス装置と、集積化されたアナログ装置と、ディジタル信号プロセッサと、マイクロプロセッサとを備え、集積化されたアナログ装置はデータアクセス装置に接続され、かつマイクロプロセッサはディジタル信号プロセッサに接続され、集積化されたアナログ装置とディジタル信号プロセッサとの間に接続されたパルストラ ns手段と、電話回線とモデムとの間の通信のためのTIPおよびRINGリードと、

前記リードのうち1本を開閉するために接続されたFETと、オフフックモードのとき前記FETに動作電圧を供給するためのオン／オフフック回路と、30 第1の回路および第2の回路と、

前記第1の回路を一の状況において活性化しかつ前記第2の回路を他の状況において活性化するためのフリップーフロップ回路と、前記リードにかかる接続され、サージ電圧を感知すると前記フリップーフロップ回路を前記一の状況に活性化するための感知手段と、前記第1の回路は、前記第1の回路が活性化されるときに前記FETが電流を導通することを防ぎ、前記第2の回路は、所定の時間の後フリップーフロップ回路をリセットする、モデム。

【請求項11】 受信された信号のための集積化されたアナログ装置中のマルチプレクサ手段および受信された信号のためのディジタル信号プロセッサ中のデマルチプレクサ手段と、送信された信号のためのディジタル信号プロセッサ中のさらなるマルチプレクサ手段および送信された信号のための集積化されたアナログ装置中のさらなるデマルチプレクサ手段とをさらに備え、パルストラ nsを通して送られる前記信号はすべてディジタルであり、それによつてアナログの歪が防止される、請求項10に記載の回

路。

【請求項12】 サージに応答して前記FETのゲートを接地にクランプし、ゲートに電荷が結集するのを妨げる、クランプ手段をさらに備える、請求項11に記載の回路。

【請求項13】 前記フリップーフロップに接続され、フリップーフロップがクロックされるときに飽和する第1のトランジスタと、

第1のトランジスタに接続され、導通する第1のトランジスタによって迅速にオンする第2のトランジスタと、RINGリードから接地へ前記第1および第2のトランジスタによって閉じられ、FETキャパシタンスを含む浮遊キャパシタンスを放電するための短縮経路とをさらに備える、請求項12に記載の回路。

【請求項14】 TIPとRINGとの間に接続され、FETのドレインへの正の電圧を保証するための整流器ブリッジ回路をさらに備える、請求項13に記載の回路。

【請求項15】 TIPとRINGとにかけて接続され、RING信号に対するダミー負荷として働く抵抗器ーコンデンサ直列回路をさらに備える、請求項14に記載の回路。

【請求項16】 前記第1のおよび第2のトランジスタと並列抵抗器ーコンデンサ回路とを含む前記モデルのための電子インダクタをさらに備える、請求項15に記載の回路。

【請求項17】 前記感知手段は、コンデンサと2つの抵抗器とからなる直列回路を含み、両方の抵抗器に共通の点が前記フリップーフロップのクロック入力に接続されており、前記抵抗器の相対的値がフリップーフロップを活性化するサージ上の点を決定する、請求項10に記載の回路。

【請求項18】 前記第1の回路は、そのベースがフリップーフロップのQ出力に接続され、かつ前記FETのソースゲートにかかる接続されてフリップーフロップがクロックされているときにゲートを接地するクランプトランジスタを含む、請求項10に記載の回路。

【請求項19】 前記第2の回路は、フリップーフロップ出力Qバーに接続されてコンデンサを充電しつつフリップーフロップのCLEARに接続されてサージが消えてしまうまでの間FETのゲートの接地を維持するためにフリップーフロップがクロックされているときに放電する抵抗器ーコンデンサネットワークを含む、請求項10に記載の回路。

【請求項20】 1対の入力リードと、
前記リードのうち1本を開閉するために接続されたFETと、
前記FETに動作電圧を供給するための端子と、
第1の回路および第2の回路と、
前記第1の回路を一の状況において活性化しつつ前記第

2の回路を他の状況において活性化するためのフリップーフロップ回路と、

前記リードにかかる接続され、サージ電圧を感知すると前記フリップーフロップ回路を前記一の状況に活性化するための感知手段とを組合せとして備え、

前記第1の回路は、前記第1の回路が活性化されるときに前記FETが電流を導通することを防ぎ、

前記第2の回路は、所定の時間の後フリップーフロップ回路をリセットする、サージ保護回路。

10 【請求項21】 1対の入力線を横切るように接続された装置のためのサージ保護の方法であって、

入力線のうちの1本の中へFETを配置して前記入力線を開閉するステップと、

サージ電圧を感知するステップと、

前記サージが感知されたときに前記FETが電流を導通することを防ぐステップと、

サージが通過してしまうまで前記導通の防止を維持するステップとを含む方法。

【請求項22】 前記FETが非導通もしくは導通のとき

20 にサージが発生した場合、前記FETのゲートに電荷が結集するのを妨げるためにゲートを接地にクランプする、請求項21に記載の方法。

【請求項23】 前記FETがオンからオフへと変えられる際に、前記FETをエネルギーが通過するための放電経路を提供する、請求項22に記載の方法。

【請求項24】 前記サージが感知されたときにFETキャパシタンスを含む浮遊キャパシタンスの放電経路を能動化する、請求項21に記載の方法。

【発明の詳細な説明】

30 【0001】

【発明の背景】この出願は同一の発明者による「デジタルアイソレーション付モデム (MODEM WITH DIGITAL ISOLATION)」と表題をつけられ、共通の譲受人に譲渡された、同時出願の米国特許出願に関する。

【0002】

【発明の分野】この発明は、モデムを含む電子装置を、高レベルの、かつ高速に上昇するサージを感じたときに電源および/または電話回線システムから絶縁する。

【0003】

40 【先行技術】先行技術において、電話回線とモデムとの間をインターフェースするデータアクセス装置 (DAA) は、新式の「クレジットカード状の」最小モデムカードには大きすぎかつ重すぎる絶縁変圧器を使用している。

【0004】データ速度が増すにつれて、モデムのサイズは縮小しつつある。モデムは、すべてのラップトップ/パームトップコンピュータにとって不可欠な部分となってきた。これらのコンピュータは小型であるため、大きさと重量とが重んじられる。データ速度が増すにつれて、歪みを最小限に抑えることが絶対に必要である。歪みは、高速モデムを制限する要素である。

【0005】DAA絶縁変圧器は電子回路を保護するが、それはまた、歪みを導入し、回路面積を消費し、かつモデル部分の最も重い部分である。ポータブルコンピュータの場合、重量を最小にすることは優先度の高い条件である。

【0006】アナログ光学的アイソレーションを使用することによって、絶縁変圧器を排除したモデルもある。しかしながら、歪みとコストと複雑性とが、本当の問題点として残っている。

【0007】モデルは、非常にコストが高く、またその回路は小さいだけでなく、基本的な設計が現在の集積回路技術と互換性があるかまたは適合させ得るものでなければならぬ。

【0008】トランスおよびそれに伴う歪みを排除することによって、モデルのデータ速度能力の向上が実現される。サイズ、重量およびコストもまた、目覚ましく減じられる。

【0009】モデルの性能の向上とサイズの縮小において、目覚ましい進歩がとげられてきているにもかかわらず、DAAのインターフェース回路には、比較的に変化がないままである。実際、ラップトップコンピュータの設計の中には、モデルの回路の中でDAAがそれ以外の残りの部分とほぼ同じくらいの場所をとっているものもある。

【0010】今まででは、設計者たちは部品をより密着させて詰込むことにより、実装の制限範囲内にとどまることができた。しかしながら、設計者たちは今やULおよびパート68の高電圧絶縁破壊テストを満たすにあたっての問題を経験しているため、急速に限界に達しつつある。加えて、DAA構成要素の物理的サイズが、新型のポケットコンピュータにモデルを設置することを妨げている。

【0011】DAAの中で最も大きい構成要素の1つは、変圧器である。機能的には、変圧器は設計上の2つの要求を満たすものである。

【0012】第1に、それは電話回路網とユーザとの間で必要な高電圧アイソレーションを提供する。米国では、FCCパート68によりこれが特定されており、これは1500ボルトを必要とする。他の国々では、このアイソレーションは3750ボルトにまで上がるかもしれない。

【0013】第2に、それは通信ライン上に通常存在するノイズ信号の良好なコモンモード除去を提供するとともに、パート68と適合するのに必要なバランスインターフェース回路を提供する。

【0014】これらの要求を両方とも支持し、かつ非常に低い歪みレベルをなお維持すると、結果として変圧器は比較的大型になる。たとえば、v32のような、新しい高性能モデルは、-70dBmまたはそれ以下の歪みレベルを必要とする。これらのレベルに達するには、特

殊な磁気物質および大きな物理的サイズが必要である。

【0015】これらの問題に基づけば、絶縁変圧器の代替物が必要であることが明らかである。

【0016】アナログ回路の経路では、アイソレーション回路を付加えようとするなら、常に歪みを追加するという問題があることを、実験は示している。

【0017】

【発明の概要】この発明は、大きな絶縁変圧器が取除かれた場合のサージの問題を除去する。

10 【0018】モデルは、金属性電圧サージテストに合格しなければならない。このテストは、モデルのTIPとRINGとの間に800Vのパルスを与えるというものである。モデルがオンフック状態にあるときは、起動リレーはオフ（開）であり、したがってサージが電子回路の中に入ることは妨げられるので、問題はない。この800Vのサージはモデルがオフフック状態の間にもまた与えられるが、このときラインスイッチは閉じており、800Vのサージはこの電子回路に取返しのつかない損傷を与える可能性がある。

20 【0019】TIPおよびRINGのリードのうち1本にFETが接続され、そのリードを開閉する。JKフリップフロップが、電圧感知回路に接続され、これは電圧上昇の初期段階で電圧サージを感知しフリップフロップをクロックする。これにより第1回路が活性化され、FETゲートを接地し、FETを開に保つ。一方、RC回路がコンデンサを充電し、コンデンサはFETをサージより長い期間、すなわち約1m秒の間オフ状態に維持し、その後コンデンサが所定の量を放電してからJKフリップフロップをクリアする。

30 【0020】上の発明が、集積化されたアナログとデジタル信号プロセッサとの間の絶縁のために（アナログDAA内よりもむしろ）デジタルインターフェースにおいて、パルストラスおよびマルチプレクサ/デマルチプレクサ、もしくは光学またはそれ以外のアイソレーションを使用する、トランスなしのDAA回路と結合されるなら、相乗的な効果が得られ、その結果、アナログ歪みを最小限に抑え、またコモンモードと非コモンモードとの双方が保護されるので、データ速度を向上させることになる。従来の重い絶縁変圧器を排除することは、特にラップトップ/パームトップコンピュータ用のカードにおいて有用である。

40 【0021】この発明は、サージの保護/除去をスタンダード回路として提供することができる。言い換れば、この発明はデジタルアイソレーションを補足する一方で、他の応用の役に立つこともできる。

【0022】

【好ましい実施例の説明】現在、ロックウェルのモデルの集積化されたアナログ（IA）装置11（図1）とデジタル信号プロセッサ13（DSP）とは、15本の個別のワイヤ15によって接続され、マイクロプロセッ

サ14は2本のワイヤ16によりDSP13に接続される。すべてのデータアクセス装置(DAA)17(図2)は、電話回線19、21とモデムとの間で高電圧アイソレーションを必要とする。通常は、変圧器21(DAA部分9において)が、このアイソレーションを提供する。

【0023】図2、図4(A)、図4(B)および図5(B)は、DAAから従来の絶縁変圧器を排除し、この発明との相乗的な組合せを提供する、相互参照された発明を詳しく説明する。これは図7と図8において最もよく見られる。

【0024】図2では絶縁変圧器21は排除されており、その代わりとしてIA装置11' とDSP13'との間で小型のパルスランス25、27が使用されている。受信された集積化されたアナログ信号は、デジタル化され、ボックス29内でマルチプレクスされ、ボックス31内でデマルチプレクスされるが、それに対して送信された信号は、ボックス31A内でマルチプレクスされ、ボックス29A内でデマルチプレクスされる。したがって15本のワイヤ配線とすべてのアナログの歪みとは避けられる。

【0025】したがって、これらのリード線(15)上の並列の信号は、1つは入力、1つは出力という2つの直列のデータの流れとして組合せられることが見てとれるだろう。このデータは、時分割多重の自己クロック装置においてコード化される。すべての直列のコード化とデコードとは、集積化されたアナログおよびデジタル信号処理装置11'および13'に組込まれるので、アイソレーション回路は2つのパルスランス25および27、または2つの光結合器(図示せず)のみから構成できるだろう。

【0026】また、パルス化された信号は、電力を節約する。必要なのは、全波39(図4(A))を送るのでではなく、ただ元の波39の上下の遷移を表す短いスパイク35、37(図4(B))を送ることだけである。コモンモード除去は、高電圧アイソレーションと同じく、パルスランスによって達成される。

【0027】図5(A)および7は、たとえば厚さ0.062インチの、従来のガラス製プリント回路基板41の上のパルスランス25および27の構造を示している。基板中央のホール36および38はU状のバー40、46の脚42、43および44、45を受け、それらが当接するところで「ギャップ」を形成する。それらの脚を囲むコイル37および39は、基板41上に置かれ、コイルを残すためにエッチ除去された金属の巻きをいくつか含むのみであって、そのコイルの直径は約1/8インチである。U状のバーは、長さにして約1/2インチである。もう1つのパルスランス27は、ランス25と現実的に可能な限り間隔を空けておかれ、その構成要素は同じであり、同じ参照番号に'をつけて示

している。磁気経路のためには、フェライトのような、最も良い磁性材料が使われ、寸法が小さいので最小のスペースにも容易に適合する。

【0028】動作周波数は、メガサイクルの範囲内にあり、また電力のロスは極端に少ない。なぜなら、パルス技術が必要とする電力は、波全体を扱うのに必要な電力よりずっと少ないのである。パルス技術は、コモンモードの歪みの問題にも対処する。

【0029】デジタルインターフェースにおいて好ましいパルスランスの代わりに、他のタイプのアイソレーションを用いてもよい。2つの光結合器もまた、1つが入力、1つが出力という2つの直列のデータストリームに対して効果的である。しかしパルスランスによるアイソレーションの方が、電力が少なくてすむ。

【0030】たとえば落雷によるサージのような、すなわち地上の電話システムにおける、非コモンモードについては、図3および図7のブロック図が、図2のDAA装置17で使用するためのサージ除去回路を示している。図3では、TIPライン51はこのラインを開くためのFET52(あるいは動作の早いトランジスタ)を含んでいる。TIPリード51とRINGリード54との間の検出器53は、サージを感じし、FET52を非常に迅速に開く。

【0031】図6は、たとえば電話回線58および59に結合された57のような、モデムのための先行技術の型のサージ保護を示す。従来の絶縁変圧器60が、電話回線58および59とモデム57との間に接続されて示されている。MOV61(金属酸化物バリスタ)がサージ吸収装置として作用するよう複数の回線にかかるよう接続されて示されている。RING検出器62は、リングが現れたことをモデム57に示すために設けられており、DSP13は、IA11を介して回線起動リレー63を動作させる。

【0032】図7は、絶縁変圧器60のない、この発明の好ましいサージ保護回路を示す。サージ除去および回線起動スイッチ65についての詳細は、図8で後述される。

【0033】図8では、101においてオンフックおよびオフックのリードが示され、これはオフックのとき+5Vを供給し、またモデムがオンのときは、直流電力リード103で接地105に対して+5Vを受取る。FET107(BUZ78)は、予期しないサージのための信号回路内のTIPリードを開閉するのに使われる。

【0034】TIPリード109とRINGリード113にかかる、直列抵抗器112を含む並列リード111中のコンデンサ110は、0.33μf、250Vのコンデンサであり、また抵抗器112は、10,000Ωである。この対はRING信号のためのダミー負荷を含む。

【0035】次に、全波ブリッジ整流器は4つの位置N4006ダイオード115、117、119および121を含んでFET107のドレイン123上の正の電圧を保障し、このときソース125はリード127を介して105において接地されている。

【0036】図8の回路は様々な状況下で保護を提供しなければならない。

1) モデムの電力が103でオフであるとき。

【0037】このとき、FET107 (Q4) は、すでにオフ状態である。オフ状態の間、FETは高電圧が通過するのをブロックする。速やかに上昇するサージが達すると、それはFET107の内部キャパシタンスを介してFETゲート129を充電しようとする。普通、これはFETをオンにする。しかしながら、ダイオード (1N1148) D12 131は、5V電源を介してゲート129を接地105にクランプすることにより、FET107をオフに保ち、したがってゲート129上でのいかなる電荷の結集をも防ぐ。

【0038】2) モデムの電力が103でオンであり、かつ101でオフフックであるとき。

【0039】この場合には、FET107がまだオフであり、DC電流がそれを介して流れないとする意味で前述のものに似ている。リード101を通過するオフフック信号がゲート129を接地レベル105に保つので、FETはオフである。このとき、JKフリップーフロップ133 (U2) (74HC112) はリード103から電力供給を受け、FET107をオフに保つを助けることができる。

【0040】サージが達すると、それは135 (100pf) に見られるように、C4を介して通過し、JKフリップーフロップ133に対してクロックとなる。161で示される抵抗器R6は、47, 000Ωを有し、かつ162で示される抵抗器R4は、10, 000Ωを有する。この5:1の割合は、リード137を介してJKフリップーフロップ133をクロックするのに必要とされるサージ電圧の程度を決定し、所望ならばそれは調整可能にすることができる。結果としてJK133のQ出力が上昇し、リード138および127、ならびに131上でQ2 140 (2H1222) をオンにする。Q2 140は、Q4 140のゲート129を、接地レベルにクランプされた状態に保ち、それはFET107をオフ状態に保つ結果となる。

【0041】3) モデムの電力が103でオンであり、かつ101でオフフックであるとき。

【0042】ほぼこのときには、FET107は回線電流を導通している。なぜならそのゲートが、5Vをリード101から受取るからである。サージは、再び、C4 135を通過し、かつJK133をクロックする。JKのQ出力は、上昇し、Q2 140をオンにする。Q2 140は、電圧が高くなる前にできるだけ早くFET

107をオフにする。

【0043】4) モデムの電力が103でオンであり、101でオフフックであり、しかし電流はTIPおよびRINGを介して流れないと。

【0044】このとき、回路は、最後の例と同じように動く。この状態は、モードを普通に使っている間は起りそうではないが、FCC研究所はTIPおよびRING電流なしでモードの電力をオンにするテストを行なっている。

10 【0045】上の活動を支持して、Q12 142 (2N4403) は、JKフリップーフロップ133がクロックされたときはいつでも、オンとなり、Q14 144 (MJD47) を非常に速やかにオンにする。この動作は、浮遊キャパシタンスおよびFET107のキャパシタンスを放電し、電圧が高くなるのを防ぐ。

【0046】R10 145 (47K) およびC6 147 (0.01μf) は、JKフリップーフロップ133のQ出力を高レベルに保持し、約1m秒の間FET107をオフに保つ。この方法で、FET107はサージ20の予期される持続期間よりも長い期間オフにされる。

(1MS) を超えてサージが持続する場合、R7 & R5 C5の組合せは、JKをクロックされた状態に保つように設計され、これはQ4 107をオフに保つ。

【0047】ACの目的のために、接地105は+5Vリードに接続され、このためTIP-RINGにかかる高電位のスパイクまたはサージが、パルスの負側を電子的インダクタボックス150内の何らかの、またはいくつかの経路を介して接地105およびリード103まで通過させることに注目すべきである。したがって、パルスは5:1の分圧器、R4 162、R6 161を横切る。

【0048】またFET107がオンからオフになるときには、またそれを介して通されるいくつかのエネルギーがあり、電圧は、Q14 144を横切って上昇する。クロックの後、トランジスタQ12 142は、Qバーによりしっかりとオンになって、Qが上昇し、次にQ14 144はしっかりとオンになり、エネルギーを吸収する。

【0049】サージ保護回路は、いかなる回路またはモ40デム内でも動作して、たとえば商業製品（消費財）を非コモンモードのサージから保護する。このように、デジタルパルス変圧器およびサージ保護回路と、トランジンなしのDAAとの結合は、非コモンモードおよびコモンモードの問題を両方とも排除する。

【図面の簡単な説明】

【図1】先行技術のモードのブロック図である。

【図2】トランジンなしのDAAのブロック図である。

【図3】サージ検出器およびラインFETを示す図である。

50 【図4】波形を示す図であって、(A) は典型的な方形

11

波を示す図であり、(B)は電力節約のための微分された波を示す図である。

【図5】パルストラ ns を示す図であって、(A)は従来の絶縁変圧器の代わりとなるパルストラ ns のためのコイルを示す図であり、(B)はパルストラ ns の断面図である。

【図6】先行技術における絶縁変圧器がある場合のサージ保護回路を示す図である。

【図7】この発明の絶縁変圧器なしのサージ保護回路を示す図である。

12

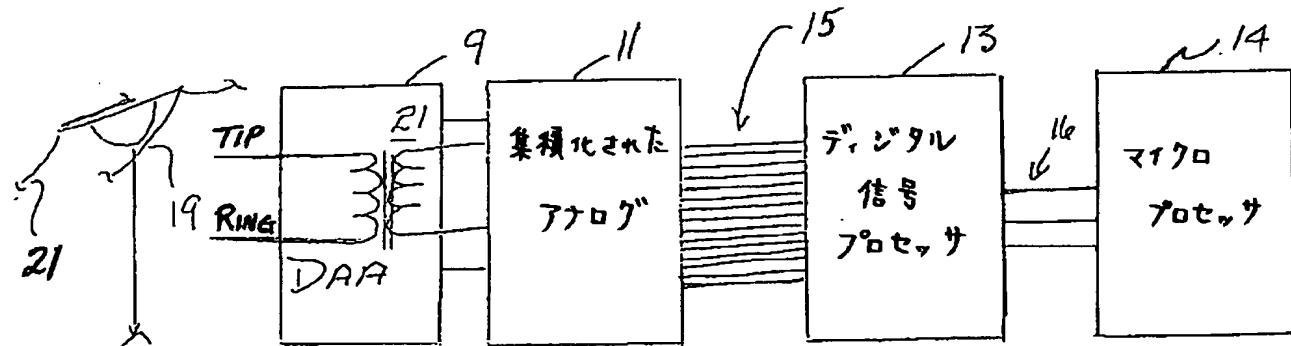
* 【図8】サージ保護付きでトランジスなしのDAAの回路図である。

【符号の説明】

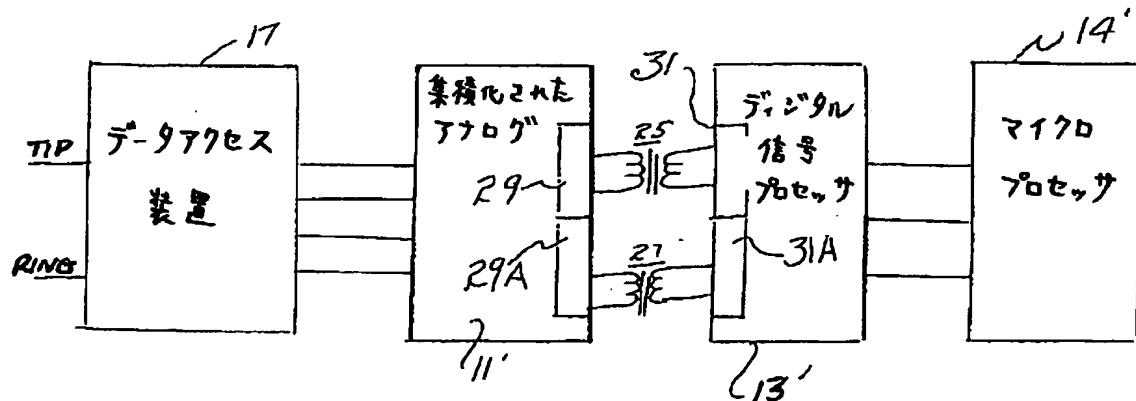
65	回線起動スイッチ
107	FET
109	TIPリード
110	コンデンサ
113	RINGリード
133	JKフリップフロップ

* 10

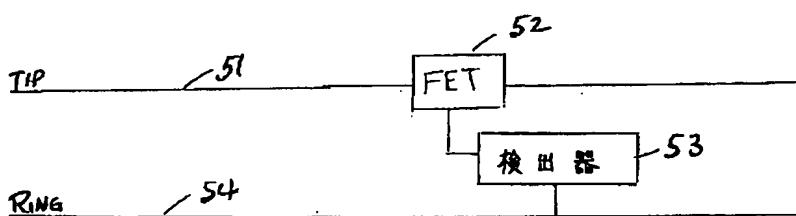
【図1】



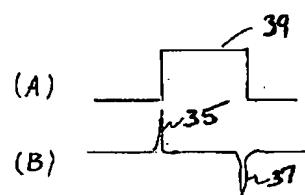
【図2】



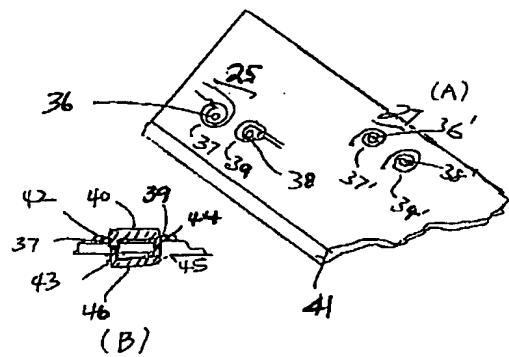
【図3】



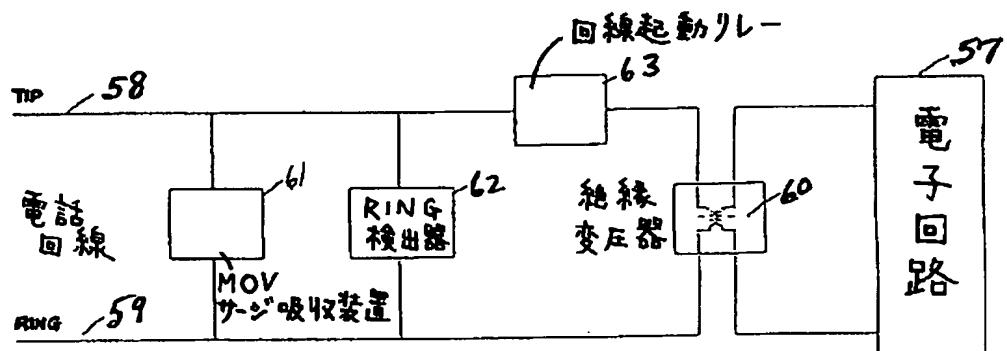
【図4】



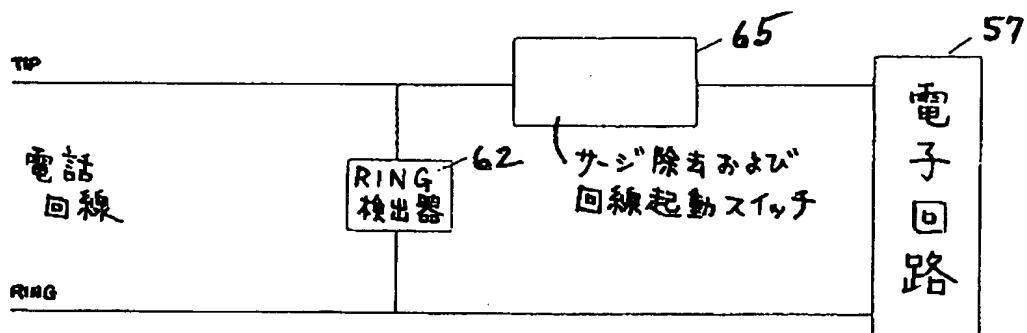
【図5】



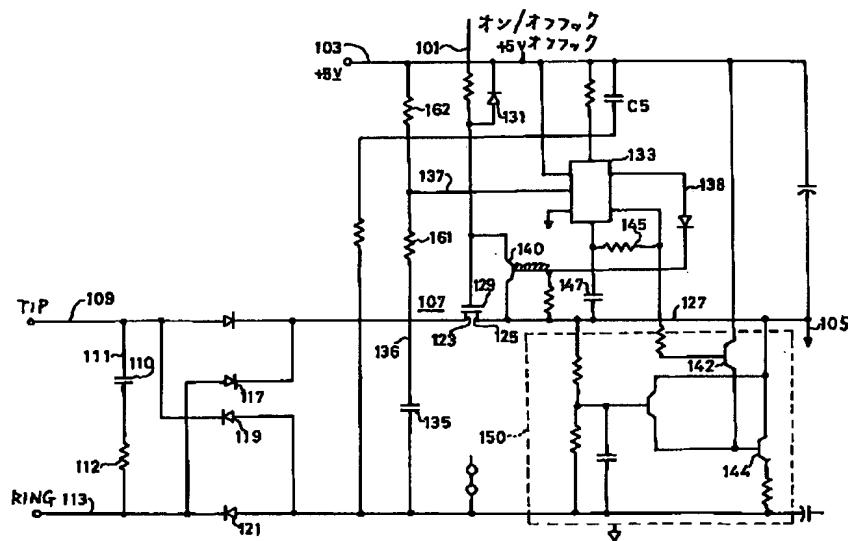
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 デイル・イー・フォルウェル
 アメリカ合衆国、92670 カリフォルニア
 州、プラセンティア、ウイングフット、
 1113